

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶

(11) 공개번호 특 1999-0081134

H01L 21/76

(43) 공개일자 1999년 11월 15일

(21) 출원번호 10-1998-0014912

(22) 출원일자 1998년 04월 27일

(71) 출원인 삼성전자 주식회사

경기도 수원시 팔달구 매탄3동 416

(72) 발명자 구본영

경기도 수원시 팔달구 우만동 주공아파트 405동 1103호

홍경훈

경기도 용인시 기흥읍 농서리 산 7-1번지 월계수동 812호

배대훈

서울특별시 은평구 응암2동 411-3번지

남석우

서울특별시 강남구 개포동 대청아파트 305동 1103호

(74) 대리인

임창현

심사청구 : 있음

(54) 트렌치 격리 형성 방법

요약

본 발명은 트렌치 격리 형성 방법에 관한 것으로, 반도체 기판상에 트렌치 형성 패턴이 형성되고, 상기 트렌치 형성 패턴이 마스크로서 사용되어 상기 반도체 기판이 식각되어 트렌치가 형성되는데, 상기 트렌치의 에지(edge) 부위(a)가 라운드(round)지게 형성된다. 상기 트렌치 형성시 발생된 표면 손상을 제거하기 위해 상기 트렌치의 양측벽 및 하부면에 열산화막(16)이 형성되고, 상기 트렌치를 절연 물질로 채워지고, 상기 절연 물질의 치밀화를 위해 상기 반도체 기판이 열처리된다. 이와 같은 트렌치 격리 형성 방법에 의해서, 트렌치 격리의 부피팽창을 방지할 수 있고, 상기 트렌치 격리의 부피팽창으로 인해 발생하는 실리콘 기판의 스트레스를 방지할 수 있어 디스로케이션과 같은 실리콘 격자의 손상을 방지할 수 있다. 또한 트렌치 격리 하부 에지 부위를 라운드지게 형성할 수 있어, 스트레스가 하부 에지 부위에 집중되는 것을 방지할 수 있다. 이로 인해 디스로케이션과 같은 실리콘 격자의 손상을 방지할 수 있다.

대표도

도2

명세서

도면의 간단한 설명

도 1a 내지 도 1e는 본 발명의 트렌치 격리 형성 방법의 프로세스 단계들을 보여주는 공정도;

도 2는 본 발명의 트렌치 격리 형성방법에 의해 제조된 반도체 기판상에 트랜지스터가 형성된 구조를 보여주는 단면도;

도 3은 본 발명의 다른 트렌치 격리를 나타내는 도면.

* 도면의 주요 부분에 대한 부호의 설명

10 : 반도체 기판 12, 18, 22, 26, 30 : 열산화막

14 : 실리콘 질화막 20 : USG막

24a : 폴리실리콘막 24b : 텅스텐 실리사이드막

24c, 28 : 실리콘 질화막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 제조 방법에 관한 것으로, 좀 더 구체적으로는 트렌치 격리 형성 방법(trench isolation)에 관한 것이다.

반도체 제조 공정에서 일반적인 소자들간의 격리 공정은 종래의 LOCOS(local oxidation of silicon) 공정을 개선하여 사용해 왔다. 그러나 최근의 반도체 장치의 고집적화로 인하여 기존의 LOCOS 공정을 기본으로 하여 보완된 소자들간의 격리 공정은 한계점에 이르게 되었다.

최근의 반도체 장치에는, 대개 256M DRAM급 이상의 반도체 장치에는 실리콘 기판상에 좁은 트렌치를 형성하고, 상기 트렌치를 절연 물질로 채워서 소자들을 전기적으로 격리시키는 STI(shallow trench isolation) 공정이 적용되고 있다.

그러나, 상기 트렌치 격리 형성 공정은, 실리콘 기판을 식각하여 트렌치를 형성하고, 상기 트렌치의 양측벽과 하부면을 산화시키고, 상기 트렌치를 절연막으로 채우는 공정으로 이루어진다.

상기 STI가 형성된 후, 후속 공정으로 활성 영역에서는 트랜지스터 형성을 위한 게이트 산화막의 형성 공정, 이온 주입을 위한 스크린 산화막의 형성 공정, 게이트 폴리 산화막의 형성 공정 등의 열 산화 공정이 수행되는 데, 상기 열 산화 공정에서 산소 가스가 상기 트렌치 내부 절연막을 뚫고 상기 트렌치 내벽과 반응하는 산화 현상이 발생되어, STI가 부피 팽창을 하게되고, 상기 부피 팽창은 STI에 인접한 실리콘 기판에 과도한 스트레스를 주게된다.

상기 과도한 스트레스를 받은 실리콘 기판에서는 디스로케이션(dislocation)과 같은 실리콘 격자 손상 등의 마이크로 디펙트가 발생된다.

발명이 이루고자하는 기술적 과제

본 발명은 상술한 제반 문제점을 해결하기 위해 제안된 것으로서, 트렌치 격리 형성 공정에서 발생하는 트렌치 내벽에 대한 스트레스를 방지할 수 있고, 트렌치 격리 형성 후, 수행되는 열 산화 공정에서 발생하는 트렌치 내의 산화로 인한 부피 팽창을 방지할 수 있고, 이로 인해 실리콘 기판이 받는 스트레스를 방지할 수 있어 실리콘 기판에서의 디스로케이션(dislocation)등과 마이크로 디펙트를 방지할 수 있는 트렌치 격리 형성 방법을 제공함에 그 목적이 있다.

발명의 구성 및 작용

(구성)

상술한 목적을 달성하기 위해 제안된 본 발명의 특징에 의하면, 트렌치 격리 형성 방법은, 반도체 기판상에 트렌치 형성 패턴을 형성하는 공정과; 상기 트렌치 형성 패턴을 마스크로서 사용하여 상기 반도체 기판을 식각하여 트렌치를 형성하고, 상기 트렌치의 에지(edge) 부위(a)를 라운드(round)지게 형성하는 공정과; 상기 트렌치 형성시 발생된 표면 손상을 제거하기 위해 상기 트렌치의 양측벽 및 하부면에 열산화막을 형성하는 공정과; 상기 트렌치를 절연 물질로 채우는 공정과; 상기 절연 물질의 치밀화를 위해 상기 반도체 기판을 열처리하는 공정을 포함한다.

이 특징의 바람직한 실시예에 있어서, 트렌치 격리 형성 방법은, 상기 열산화막 형성 후, 상기 열산화막상에 트렌치 양측벽 및 하부면의 산화를 방지하는 절연막을 형성하는 공정을 더 포함한다.

도 2를 참조하면, 본 발명의 실시예에 따른 신규한 트렌치 격리의 트랜지스터 제조 방법은, 트렌치의 에지(edge) 부위는 라운드(round)지게 형성되고, 상기 트렌치 형성시 발생된 기판 손상을 제거하기 위해 소정의 온도에서 상기 트렌치의 양측벽 및 하부면에 소정의 두께를 갖는 열산화막이 형성된다. 그리고, 상기 열산화막상에 트렌치 양측벽 및 하부면의 산화를 방지하는 절연막이 형성된다. 이와 같은 트렌치 격리 형성 방법에 의해서, 트렌치 격리의 부피팽창을 방지할 수 있고, 상기 트렌치 격리의 부피팽창으로 인해 발생하는 실리콘 기판의 스트레스를 방지할 수 있어 디스로케이션과 같은 실리콘 격자의 손상을 방지할 수 있다. 또한, 스트레스가 하부 에지 부위에 집중되는 것을 방지할 수 있다. 이로 인해 디스로케이션과 같은 실리콘 격자의 손상을 방지할 수 있다.

(제 1 실시예)

이하, 도 1a 내지 도 1e를 참조하여 본 발명의 제 1 실시예를 상세히 설명한다.

도 1a 내지 도 1e는 본 발명의 트렌치 격리 형성 방법의 프로세스 단계들을 보여주는 공정도이다.

도 1a를 참조하면, 반도체 기판(10)상에 제 1 열산화막(12)이 반도체 기판의 보호를 위하여 160Å의 두께로 형성되고, 상기 제 1 열산화막(12)상에 SiN막(14)이 약 1550Å의 두께로 형성된다. 상기 SiN막(14)상에 트렌치 형성 영역을 정의하여 포토레지스트막 패턴이 형성되고, 상기 포토레지스트막 패턴이 사용되는 건식 식각 공정으로 상기 SiN막(14)과 제 1 열산화막(12)이 차례로 식각되어 트렌치 형성을 위한 트렌치 형성 패턴이 형성된다.

도 1b를 참조하면, 상기 포토레지스트막 패턴이 제거된 후, 트렌치 형성 패턴이 사용되는 건식 식각 공정으로 반도체 기판(10)이 식각되어 트렌치(16)가 형성된다. 이 경우, 상기 트렌치(16)의 깊이는 약 2500Å 이고, 최대 직경은 약 2100Å 이다.

상기 트렌치(16) 형성 공정은, 상기 반도체 기판(10)을 버티컬(vertical)하게 식각하여 오프닝을 형성하는 공정과 상기 오프닝 하부의 반도체 기판(10)을 식각하고, 상기 오프닝의 양측벽과 하부면이 만나는 트렌치의 하부 에지 부위가 라운드(round)지게 형성하는 공정을 포함한다. 상기 오프닝 형성 공정은 100 mT의 압력, 400W의 파워의 조건에서 35sccm의 CF₄ 가스가 사용되어 5 초간 수행된다.

상기 오프닝 하부의 반도체 기판(10) 식각 공정은 100 mT의 압력, 250W의 파워로 30 : 90 : 10 : 1의 조성비를 갖는 Cl_2 , HBr , He , 그리고 O_2 의 혼합 가스가 사용되어 60초간 수행된다.

도 1c를 참조하면, 상기 오프닝 형성을 위한 식각 공정 중, 상기 트렌치(16)의 기판 손상을 제거하기 위해 열산화 공정으로 상기 트렌치의 양측벽과 하부면에 제 2 열산화막(18)이 형성된다. 이 경우, 상기 제 2 열산화막(18)이 형성되는 동안, 상기 트렌치(16)의 양측벽과 하부면이 산화되면서 부피가 팽창하게 되고, 상기 부피 팽창은 트렌치의 양측벽과 하부면이 만나는 에지 부위(a)에서 제 2 절연막이 얇고 날카롭게 형성되게 한다. 이로 인해 트렌치(16)가 받는 스트레스는 상기 얇고 날카로운 에지 부위(a)에 집중되어 실리콘 격자 손상인 디스로케이션이 발생하게 된다.

상기 문제를 해결하기 위해 제 2 열산화막(18)은 약 240 Å 미만의 두께로 얇게 형성되고, 상기 제 2 열산화막 형성 공정에서 발생하는 트렌치(16) 전체에 대한 스트레스는 상기 제 2 열산화막(18)이 점성 플로우(viscoelastic flow)를 일으켜 감소시킨다. 상기 제 2 열산화막(18)의 점성 플로우(viscoelastic flow)는 약 1000°C 이상의 고온에서 발생되기 때문에 상기 제 2 열산화막(18) 형성 공정은 약 1000°C 이상의 고온에서 수행된다.

상기 트렌치(16)를 포함하여 상기 실리콘 질화막(14)상에 약 5000 Å 정도의 USG막(20)이 형성되어 상기 트렌치(16)를 채우게 되고, 상기 USG막(20)상에 상기 USG막(20)의 스트레스를 완화 시키기 위한 PE-TEOS막(도면 미도시)이 약 1000 Å 정도의 두께로 형성된다. 다음 상기 USG막(20)의 막질을 치밀하게 하기 위한 어닐링 공정이 수행된다. 상기 어닐링 공정은 질소 분위기에서 약 1150°C 온도로 수행된다.

도 1e를 참조 하면, CMP 공정으로 상기 PE-TEOS막, 상기 USG막(20) 및 상기 실리콘 질화막(14)이 차례로 평탄화 식각되어 약 1100 Å 두께로 남은 상기 실리콘 질화막(14)과 USG막(20)의 표면이 노출된다. 다음, 인산(H_3PO_4)을 사용하는 습식 식각 공정으로 실리콘 질화막(14)이 제거되고, 이 공정에서 트렌치 상에 있는 약 500 Å 두께의 USG막(20)도 동시에 제거된다.

그 후, 습식 식각 공정으로 상기 제 1 열산화막(12)과 일부 트렌치(16) 상에 있는 USG막(20)이 동시에 제거되어 트렌치 격리가 형성된다.

도 2는 본 발명의 트렌치 격리 형성방법에 의해 제조된 반도체 기판상에 트랜지스터가 형성된 구조를 보여주는 단면도이다.

도 2를 참조하면, 후속 공정으로, 게이트 산화막(22), 게이트 전극층(24)을 포함하는 트랜지스터를 형성하기 위한 공정이 수행된다. 상기 트렌치 격리에 의해 정의된 활성 영역의 반도체 기판(10)상에 웰(well)의 형성과, Vt 조절을 위한 이온 주입을 위해 기존의 열산화막으로 형성되던 제 1 절연막(Gox-1)(도면 미도시)이 제 1 CVD 산화막으로 형성된다. 상기 제 1 CVD 산화막에는 LT0막, HT0막, USG막 등이 있다. 상기 제 1 CVD 산화막(Gox-1)은 후속 이온 주입시 반도체 기판(10)의 손상을 방지한다.

상기 제 1 CVD 산화막(Gox-1)상에 포토레지스트막이 형성되고, 이온 주입될 영역을 정의하여 상기 포토레지스트막이 패터닝되고, 상기 포토레지스트막 패턴을 사용하여 이온 주입 공정이 수행된다.

상기 포토레지스트막 패턴과 상기 제 1 CVD 산화막(Gox-1)이 제거된다. 반도체 기판(10)상에 제 2 절연막(Gox-2)인 열산화막(22)이 형성된다. 이 막은 MOS 트랜지스터의 게이트 산화막으로 작용한다. 상기 게이트 산화막(22)상에 폴리실리콘막(24a)이 형성되고, 상기 폴리실리콘막(24a)상에 저항을 감소시키기 위해 텅스텐 실리사이드막(24b)이 형성된다.

상기 텅스텐 실리사이드막(24b)상에 SiN과 같은 제 3 절연막(24c)이 형성된다. 상기 제 3 절연막(24c)이 게이트 전극층의 형성을 위해 패터닝되고, 상기 패터닝된 제 3 절연막(24c)이 마스크로서 사용되어 상기 텅스텐 실리사이드막(24b), 폴리실리콘막(24a)이 차례로 식각되어 게이트 전극층(24)이 형성되고, 상기 게이트 전극층(24)과 반도체 기판(10)의 식각 손상을 제거하기 위해 상기 게이트 전극층(24)을 포함하여 반도체 기판(10)상에 제 4 절연막(Gpox-1)(26)이 형성된다.

이 경우 기존 공정에서 열산화막으로 형성되던 상기 제 4 절연막(Gpox-1)(26)이 제 2 CVD 산화막으로 형성된다. 상기 제 2 CVD 산화막에는 LT0막, HT0막, USG막 등이 있다. 상기 게이트 전극층(24)이 마스크로 사용되어 불순물 이온이 주입되어 트랜지스터의 소오스/드레인 영역(도면 미도시)이 형성된다. 이 경우 제 4 절연막(26)은 상기 소오스/드레인 영역의 형성을 위한 이온 주입 공정에서 상기 이온 주입에 의한 반도체 기판(10)의 손상을 방지한다.

상기 제 4 절연막(Gpox-1)(26)상에 스페이서 형성을 위해 제 5 절연막(28)이 형성되고, 상기 제 5 절연막(28)과 상기 제 4 절연막(26)이 이방성 식각되어 게이트 전극층(24) 양측벽에 스페이서(26)가 형성된다. 상기 식각 공정에서의 식각 손상을 제거하기 위해 상기 게이트 전극층을 포함하여 반도체 기판 상에 제 6 절연막(Gpox-2)(30)이 형성된다. 기존의 공정에서는 열산화막으로 형성되던 상기 제 6 절연막(Gpox-2)(30)이 제 3 CVD 산화막으로 형성된다. 상기 CVD 산화막에는 LT0막, HT0막, USG막 등이 있다.

(제 2 실시예)

도 3은 본 발명에 따른 다른 트렌치 격리를 나타내는 도면이다.

도 3을 참조하면, 제 1 실시예와 동일한 방법으로 반도체 기판(10)상에 제 1 열산화막(12)과 실리콘 질화막(14)이 차례로 형성되고, 상기 실리콘 질화막(14)과 열산화막(12)이 차례로 식각되어 트렌치 형성 영역의 반도체 기판(10)이 노출되는 마스크 패턴이 형성된다. 그 후, 상기 마스크 패턴이 사용되어 반도체 기판이 식각되어 트렌치(16)가 형성되고, 도 1c에 도시된 바처럼 상기 트렌치의 양측벽과 하부면에 제 2 열산화막(18)이 형성된다.

후속 산화 공정에서 산소 가스가 트렌치(16)의 양측벽과 하부면까지 침투하여 상기 트렌치의 양측벽과 하부면을 산화 시킴으로써 발생하는 트렌치의 부피 팽창을 방지하기 위해, 상기 제 2 열산화막상에 산소

가스의 침투를 방지하는 산화 방지막(19)이 형성된다.

상기 산화 방지막(19)은 약 10Å의 두께를 갖는 SiON막이다. 상기 SiON막은 암모니아 분위기를 갖는 확산로나 RTA(rapid thermal anneal) 설비에서 700℃ - 1200℃ 온도 범위내에서 형성되거나, 플라즈마(plasma) 처리로 형성되는 데, 상기 플라즈마 처리는 암모니아나 질소 분위기에서 수행된다.

제 1 실시예와 동일한 방법으로 상기 제 2 열산화막(18)상에 직접 USG막(20)이 형성되고, 상기 USG막(20) 상에 USG막(20)의 스트레스를 완화 시켜주는 PE-TEOS막(도면 미도시)이 형성된다. 제 1 실시예와 동일한 방법으로 PE-TEOS막, USG막(20), 실리콘 질화막(14), 제 1 열산화막(12)이 식각되어 트렌치 격리가 형성된다.

후속 공정으로, 게이트 산화막, 게이트 전극을 포함하는 트랜지스터를 형성하기 위한 공정이 수행된다. 상기 트렌치 격리에 의해 정의된 활성 영역의 반도체 기판상에 이온 주입을 위해 제 1 절연막(Gox-1)이 형성된다. 상기 제 1 절연막(Gox-1)은 열산화막이나 CVD 산화막 중 어느 한 막으로 형성된다. 상기 제 1 절연막(Gox-1)은 후속 이온 주입시 반도체 기판의 손상을 방지한다.

상기 제 1 절연막(Gox-1)상에 포토레지스트막이 형성되고, 이온 주입될 영역을 정의하여 상기 포토레지스트막이 패턴닝되고, 상기 포토레지스트막 패턴이 사용되어 웰(well)의 형성과 Vt 조절을 위한 이온 주입 공정이 수행된다.

상기 포토레지스트막 패턴과 상기 제 1 절연막(Gox-1)이 각각 제거된다. 반도체 기판상에 제 2 절연막(Gox-2)이 형성된다. 상기 제 2 절연막(Gox-2)은 열산화막으로 형성되고, 이 막은 MOS 트랜지스터의 게이트 산화막으로 작용한다. 상기 게이트 산화막상에 폴리실리콘막이 형성되고, 상기 폴리실리콘막상에 저항을 감소시키기 위해 텅스텐 실리사이드막이 형성된다.

상기 텅스텐 실리사이드막상에 SiN과 같은 트렌치 내벽으로의 산소 침투를 제 3 절연막이 형성된다. 상기 제 3 절연막이 게이트 전극층의 형성을 위해 패턴닝되고, 상기 패턴닝된 제 3 절연막을 마스크로서 사용하여 상기 텅스텐 실리사이드막, 폴리실리콘막이 차례로 식각되어 게이트 전극층이 형성되고, 상기 게이트 전극층의 식각 손상을 제거하기 위해 상기 게이트 전극층을 포함하여 반도체 기판상에 제 4 절연막(Gpox-1)이 형성된다.

상기 제 4 절연막(Gpox-1)은 열산화막이나 CVD 산화막 중 어느 한 막으로 형성된다. 상기 게이트 전극층을 마스크로 사용하여 불순물 이온이 주입되어 트랜지스터의 소오스/드레인영역이 형성된다.

상기 제 4 절연막(Gpox-1)상에 스페이서 형성용 제 5 절연막이 형성되고, 상기 제 5 절연막은 SiN과 같은 CVD 절연막이다. 상기 제 5 절연막이 이방성 식각되어 게이트 전극층 양측벽에 스페이서가 형성된다. 상기 식각 공정에서의 식각 손상을 제거하기 위해 상기 게이트 전극층을 포함하여 반도체 기판상에 제 6 절연막(Gpox-2)이 형성된다. 상기 제 6 절연막(Gpox-2)은 열산화막이나 CVD 산화막 중 어느 한 막으로 형성된다.

발명의 효과

본 발명은 종래의 트렌치 격리가 후속 산화 공정에서 트렌치 내벽에서의 산화로 인해 부피팽창을 하게 되고, 이 부피 팽창이 실리콘 기판에 스트레스를 주어 실리콘 격자의 손상과 같은 디스로케이션(dislocation)을 발생시키는 문제점을 해결한 것으로서, 산화 방지막을 형성함으로써 트렌치 내벽으로의 산소 침투를 방지할 수 있어, 트렌치의 부피 팽창으로 인한 디스로케이션과 같은 실리콘 격자의 손상을 방지할 수 있고, 후속 트랜지스터 형성을 위한 열산화막 공정을 CVD 산화막 공정으로 대체함으로써 트렌치 내벽으로의 산소 침투를 방지할 수 있어 트렌치의 부피 팽창으로 인한 디스로케이션과 같은 실리콘 격자의 손상을 방지할 수 있는 효과가 있다. 그리고, 트렌치의 양측면과 하부면이 만나 는 트렌치 하부 에지 부위를 라운드지게 형성함으로써, 상기 에지 부위가 날카롭게 형성되어 발생하는 디스로케이션과 같은 실리콘 격자의 손상을 방지할 수 있는 효과가 있다. 또한 트렌치내의 열산화막 형성공정을 고온에서 수행함으로써 트렌치의 스트레스를 감소시킬 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

반도체 기판(10)상에 트렌치 형성 패턴을 형성하는 공정과;

상기 트렌치 형성 패턴을 마스크로서 사용하여 상기 반도체 기판(10)을 식각하여 트렌치(16)를 형성하되, 상기 트렌치(16)의 에지(edge) 부위(a)를 라운드(round)지게 형성하는 공정과,

상기 트렌치(16) 형성시 발생된 표면 손상을 제거하기 위해 상기 트렌치(16)의 양측벽 및 하부면에 열산화막(16)을 형성하는 공정과;

상기 트렌치(16)를 절연 물질(20)로 채우는 공정과;

상기 절연 물질(20)의 치밀화를 위해 상기 반도체 기판을 열처리하는 공정을 포함하는 트렌치 격리 형성 방법.

청구항 2

제 1 항에 있어서,

상기 트렌치(16)의 길이는 약 2500Å이고, 최대 직경은 약 2100Å이며, 상기 열산화막(18)은 약 240Å보다 상대적으로 작은 두께를 갖도록 형성되는 트렌치 격리 형성 방법.

청구항 3

제 1 항에 있어서,

상기 열산화막(18) 형성 온도는 1000℃ 이상인 트렌치 격리 형성 방법.

청구항 4

제 1 항에 있어서,

상기 트렌치(16) 형성 공정은, 상기 반도체 기판(10)을 버티컬(vertical)하게 식각하여 오프닝을 형성하는 공정과;

상기 오프닝 하부의 반도체 기판을 식각하되, 상기 오프닝의 하부 에지 부위가 라운드지게 형성하는 공정을 포함하는 트렌치 격리 형성 방법.

청구항 5

제 4 항에 있어서,

상기 오프닝 형성 공정은 약 100 mT의 압력, 약 400W의 파워에서 제 1 식각 가스를 사용하여 수행되는 트렌치 격리 형성 방법.

청구항 6

제 5 항에 있어서,

상기 제 1 식각 가스는 35 sccm의 CF₄를 포함하는 트렌치 격리 형성 방법.

청구항 7

제 4 항에 있어서,

상기 오프닝 하부 식각 공정은 약 100 mT의 압력, 약 250W의 파워, 약 30G의 자계에서 제 2 식각가스를 사용하여 수행되는 트렌치 격리 형성 방법.

청구항 8

제 7 항에 있어서,

상기 제 2 식각가스는 각각 30 : 90 : 10 : 1의 조성비를 갖는 Cl₂, HBr, He, 그리고 O₂의 혼합 가스인 트렌치 격리 형성 방법.

청구항 9

제 1 항에 있어서,

상기 열산화막(18) 형성 후, 상기 열산화막상에 트렌치 양측벽 및 하부면의 산화를 방지하는 절연막(19)을 형성하는 공정을 더 포함하는 트렌치 격리 형성 방법.

청구항 10

제 9 항에 있어서,

상기 절연막(19)은 SiON막인 트렌치 격리 형성 방법.

청구항 11

제 10 항에 있어서,

상기 SiON막(19)은 암모니아 가스 및 질소 가스 중 어느 한 가스를 사용하는 플라즈마 처리로 약 10Å의 두께를 갖도록 형성되는 트렌치 격리 형성 방법.

청구항 12

제 10 항에 있어서,

상기 SiON막(19)은 질소 분위기 및 암모니아 분위기 중 어느 한 분위기에서 700℃ - 1200℃ 범위 내의 온도에서 형성되는 트렌치 격리 형성 방법.

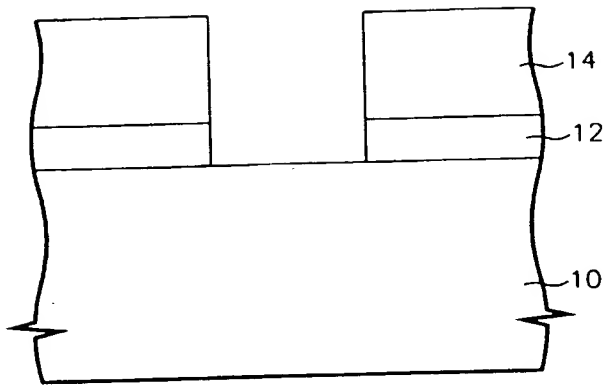
청구항 13

제 1 항에 있어서,

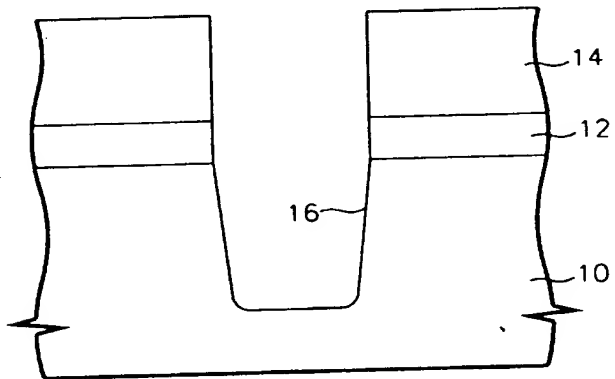
상기 열처리 공정은 질소 분위기에서 약 1150℃의 온도로 수행되는 트렌치 격리 형성 방법.

도면

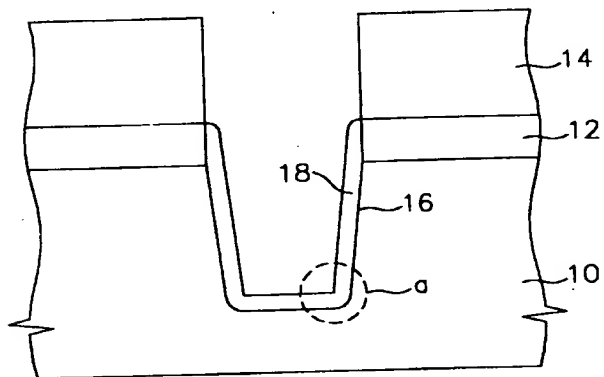
도면 1a



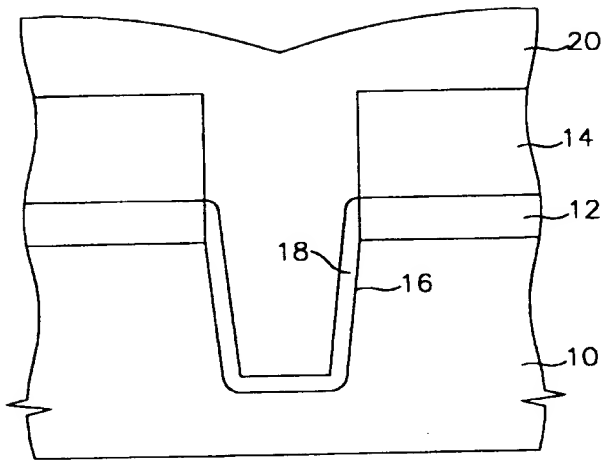
도면 1b



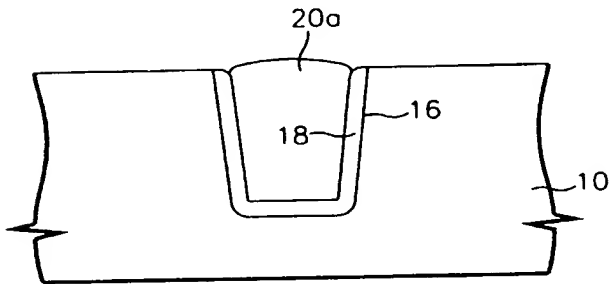
도면 1c



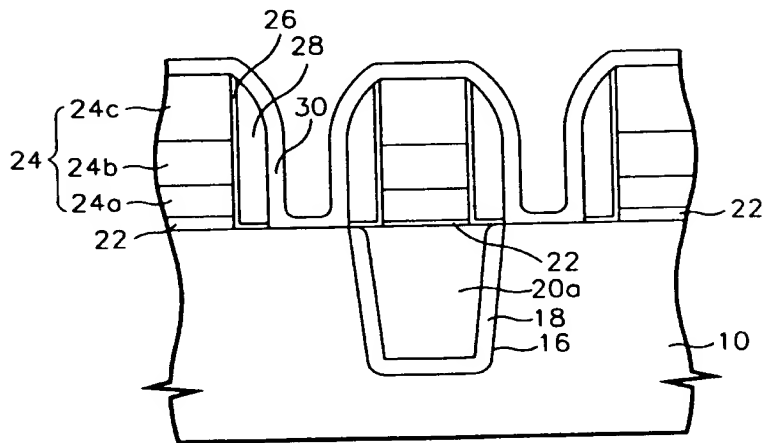
도면 1d



도면 1e



도면 2



도면3

